

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 1月28日
Date of Application:

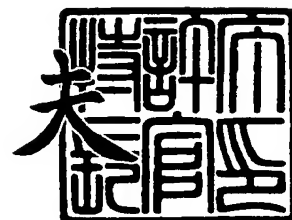
出願番号 特願2003-019128
Application Number:
[ST. 10/C]: [JP 2003-019128]

出願人 セイコーエプソン株式会社
Applicant(s):

2003年11月20日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2003-3096290

【書類名】 特許願

【整理番号】 J0095167

【提出日】 平成15年 1月28日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/786

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社社内

 【氏名】 木村 睦

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100095728

 【弁理士】

 【氏名又は名称】 上柳 雅誉

 【連絡先】 0 2 6 6 - 5 2 - 3 1 3 9

【選任した代理人】

 【識別番号】 100107076

 【弁理士】

 【氏名又は名称】 藤網 英吉

【選任した代理人】

 【識別番号】 100107261

 【弁理士】

 【氏名又は名称】 須澤 修

【手数料の表示】

 【予納台帳番号】 013044

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0109826

【プルーフの要否】 要





【書類名】 明細書

【発明の名称】 アクティブマトリクス型表示装置および薄膜トランジスタ型表示装置

【特許請求の範囲】

【請求項 1】 第 1 基板上にアクティブ素子を形成し、第 2 基板上に配線を形成し、第 3 基板上に電気光学素子を形成し、前記第 1 基板上から前記アクティブ素子をひとつ以上含む素子チップを剥離し、前記第 2 基板または前記第 3 基板上へ転写し、前記第 2 基板と前記第 3 基板とを貼合する、アクティブマトリクス型表示装置において、

前記素子チップの前記第 2 基板側の面で前記アクティブ素子と前記配線とを電氣的に接続し、前記素子チップの前記第 3 基板側の面で前記アクティブ素子と前記電気光学素子を電氣的に接続することを特徴とする、アクティブマトリクス型表示装置。

【請求項 2】 請求項 1 記載のアクティブマトリクス型表示装置において、電氣的な接続を導電材料を介して行うことを特徴とする、アクティブマトリクス型表示装置。

【請求項 3】 請求項 2 記載のアクティブマトリクス型表示装置において、前記第 2 基板または前記第 3 基板と前記素子チップの間の、前記素子チップの周辺部に対応する位置に、前記導電材料を配置し、前記アクティブ素子と前記電気光学素子を電氣的に接続することを特徴とする、アクティブマトリクス型表示装置。

【請求項 4】 請求項 2 記載のアクティブマトリクス型表示装置において、前記素子チップに開孔し、前記第 2 基板または前記第 3 基板と前記素子チップの間の、この開孔部に対応する位置に前記導電材料を配置し、前記アクティブ素子と前記電気光学素子を電氣的に接続することを特徴とする、アクティブマトリクス型表示装置。

【請求項 5】 請求項 1 から 4 記載のアクティブマトリクス型表示装置において、

前記アクティブ素子が薄膜トランジスタであることを特徴とする、薄膜トラン



ジスタ型表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、アクティブマトリクス型表示装置、特に、第1基板上にアクティブ素子を形成し、第2基板上に配線を形成し、第3基板上に電気光学素子を形成し、第1基板上からアクティブ素子をひとつ以上含む素子チップを剥離し、第2基板または第3基板上へ転写し、第2基板と第3基板とを貼合する、アクティブマトリクス型表示装置に関する。また、このアクティブマトリクス型表示装置において、アクティブ素子が薄膜トランジスタである、薄膜トランジスタ型表示装置に関する。

【0002】

【従来の技術】

アクティブ素子、例えば、薄膜トランジスタと、このアクティブ素子間の配線や支持基板を備えたアクティブマトリクス型表示装置では、アクティブ素子は全体的一部分で、それ以外は配線や支持基板である場合が少なくない。このアクティブマトリクス型表示装置を、アクティブ素子と配線や支持基板を一体として同一の製造プロセスを経て製造する場合には、高機能のアクティブ素子を作成するための高度で複雑な製造プロセスが必要とされるため、一般的に、製造コストが高額になる。しかしながら、配線や支持基板だけのためには、高度で複雑な製造プロセスは必要とされず、製造コストは安価である。もし、アクティブ素子と、配線や支持基板を別個に作成し、必要とされる部分にだけアクティブ素子を配置することができれば、全体として平均すれば、このアクティブマトリクス型表示装置の製造コストを低減することが可能である。

【0003】

そこで、第1基板上にアクティブ素子を形成し、第2基板上に配線を形成し、第1基板上からアクティブ素子をひとつ以上含む素子チップを剥離し、第2基板上へ転写する、アクティブマトリクス型表示装置、また、このアクティブマトリクス型表示装置において、アクティブ素子が薄膜トランジスタである、薄膜トラ



ンジスタ型表示装置が開発されている。この方法によれば、必要とされる部分にだけアクティブ素子を配置することができるので、全体として平均すれば、このアクティブマトリクス型表示装置や薄膜トランジスタ型表示装置の製造コストを低減することが可能である。なお、このとき、剥離や転写のプロセスとしては、レーザーアビュレーションや接着剤が用いられる。

【0004】

図1は、背景技術におけるアクティブ素子と素子チップの製造方法の工程図である。ここでは、アクティブ素子は薄膜トランジスタである。第1基板11上に、剥離層12を形成し、その上に下地絶縁膜13を形成する。その上に、 SiH_4 のPECVDや Si_2H_6 のLPCVDなどで非晶質シリコン(a-Si)14を成膜し、レーザー結晶化15により多結晶シリコン(poly-Si)を得て、パターニングして活性層16を得る。TEOSのPECVDやECR-CVDなどでゲート絶縁膜17を成膜し、ゲート金属を成膜し、パターニングしてゲート電極18を得る。イオンインプラやイオンドーピング19などによりレジストマスク1aを用いてPイオンとBイオンを選択打込し、ソース・ドレイン領域1bを形成する。第1層間絶縁膜1cを成膜し、第1コンタクトホール1dを開孔する。ソース・ドレイン金属を成膜し、パターニングしてソース・ドレイン電極1eを得る。これにより、n型薄膜トランジスタ1fとp型薄膜トランジスタ1gのCMOS薄膜トランジスタを得る。さらに、第2層間絶縁膜1hを成膜し、第2コンタクトホール1iを開孔する。パッド金属を成膜し、パターニングして接続パッド1jを得る。最後に、素子チップを分離するセパレーション1kを形成する。図1では、1個の素子チップしか図示していないが、多数の素子チップが配列して存在する。

【0005】

図2は、背景技術における素子チップの剥離転写方法の工程図である。上述のとおり、第1基板21上に、剥離層22を形成し、その上に薄膜トランジスタ23や接続パッド24を形成し、素子チップ25を形成する。第2基板26上に、配線27と接続パッド28を形成し、接着剤29を塗布する。第1基板21と第2基板26を圧着し、接着剤29をフローさせて、素子チップ25の接続パッド24と、第2基板26の接続パッド28を、電氣的に接続する。接着剤29は、



セパレーション 2a のおかげで、隣接する素子チップ 25 までフローしてゆくことはない。第 1 基板 21 上から、薄膜トランジスタ 23 をひとつ以上含む素子チップ 25 を、レーザー 2b の照射でレーザーアビュレーションにより剥離し、第 2 基板 26 上へ転写する。

【0006】

図 3 は、背景技術における転写された素子チップの拡大図である。薄膜トランジスタ 32 をひとつ以上含む素子チップ 31 の接続パッド 33 と、配線 35 が形成された第 2 基板 34 の接続パッド 36 を、電氣的に接続している。（例えば非特許文献参照）

【非特許文献】

T. Shimoda, et al, Techn. Dig. IEDM 1999, 289、S. Utsunomiya, et al, Dig. Tech. Pap. SID 2000、916、T. Shimoda, Proc. Asia Display / IDW '01, 327、S. Utsunomiya, et al, Proc. Asia Display / IDW '01, 339

【0007】

【発明が解決しようとする課題】

第 1 基板上にアクティブ素子を形成し、第 2 基板上に配線を形成し、第 1 基板上からアクティブ素子をひとつ以上含む素子チップを剥離し、第 2 基板へ転写する、アクティブマトリクス型表示装置、また、このアクティブマトリクス型表示装置において、アクティブ素子が薄膜トランジスタである、薄膜トランジスタ型表示装置においては、そのあと、電気光学素子を形成しなければならない。ここで、第 3 基板上に電気光学素子を形成し、第 2 基板と第 3 基板とを貼合する方法が考えられる。

【0008】

本発明の目的は、上述のアクティブマトリクス型表示装置または薄膜トランジスタ型表示装置において、素子チップのアクティブ素子と第 2 基板の配線とを電氣的に接続し、素子チップのアクティブ素子と第 3 基板の電気光学素子を電氣的に接続する方法を提供することである。

【0009】

【課題を解決するための手段】

上記課題を解決するため本発明においては、第1基板上にアクティブ素子を形成し、第2基板上に配線を形成し、第3基板上に電気光学素子を形成し、第1基板上からアクティブ素子をひとつ以上含む素子チップを剥離し、第2基板または第3基板上へ転写し、第2基板と第3基板とを貼合する、アクティブマトリクス型表示装置において、素子チップの第2基板側の面でアクティブ素子と配線とを電氣的に接続し、素子チップの第3基板側の面でアクティブ素子と電気光学素子を電氣的に接続することを特徴とするアクティブマトリクス型表示装置が提供される。

【0010】

このような構成では、素子チップのアクティブ素子と第2基板の配線とを電氣的に接続し、素子チップのアクティブ素子と第3基板の電気光学素子を電氣的に接続することが、可能となる。

【0011】

また、発明においては、上述のアクティブマトリクス型表示装置において、電氣的な接続を導電材料を介して行うことを特徴とする、アクティブマトリクス型表示装置である。

【0012】

このような構成では、素子チップのアクティブ素子と第2基板の配線とを電氣的に接続し、素子チップのアクティブ素子と第3基板の電気光学素子を電氣的に接続することが、より確実に可能となる。

【0013】

さらに本発明においては、上述のアクティブマトリクス型表示装置において、第2基板または第3基板と素子チップの間の、素子チップの周辺部に対応する位置に、導電材料を配置し、アクティブ素子と電気光学素子を電氣的に接続することを特徴とする、アクティブマトリクス型表示装置である。

【0014】

このような構成では、素子チップのアクティブ素子と第2基板の配線とを電氣的に接続し、素子チップのアクティブ素子と第3基板の電気光学素子を電氣的に接続することが、1度の導電材料の配置で可能となるのと同時に、より確実に可

能となる。

【0015】

また、本発明においては、上述のアクティブマトリクス型表示装置において、素子チップに開孔し、第2基板または第3基板と素子チップの間の、この開孔部に対応する位置に導電材料を配置し、アクティブ素子と電気光学素子を電氣的に接続することを特徴とする、アクティブマトリクス型表示装置である。

【0016】

このような構成では、素子チップのアクティブ素子と第2基板の配線とを電氣的に接続し、素子チップのアクティブ素子と第3基板の電気光学素子を電氣的に接続することが、1度の導電材料の配置で可能となるのと同時に、より確実に可能となる。

【0017】

また、本発明においては、上述のアクティブマトリクス型表示装置において、アクティブ素子が薄膜トランジスタであることを特徴とする、薄膜トランジスタ型表示装置である。

【0018】

このような構成では、本発明のアクティブマトリクス型表示装置における発明の効果を継承した、薄膜トランジスタ型表示装置を得ることができる。

【0019】

【発明の実施の形態】

以下、本発明の好ましい実施の形態を説明する。なお、転写方法に関する一連の態様に関しては、出願人が開示した、特願2001-282423号、特願2001-282424号等においても記載されている。

【0020】

(第1の実施例)

図4は、本発明の第1の実施例におけるアクティブ素子と素子チップの製造方法の工程図である。アクティブ素子と素子チップの製造方法について、背景技術と第1の実施例の相違点は、次のとおりである。第1コンタクトホール4dを開孔するときに、活性層46のないところで下地絶縁膜43も貫通し、ソース・ド



レイン金属を成膜する。これにより、第1接続パッド4jと反対側の面に、第2接続パッド4kを得る。

【0021】

図5は、本発明の第1の実施例における電気光学素子の製造方法の工程図である。ここでは、電気光学素子は有機発光ダイオードである。第3基板51上に、ITOを成膜し、陽極52を得る。親液性材料を成膜し、開孔して親液性バンク53を得る。撥親液性材料を成膜し、開孔して撥液性バンク54を得る。インクジェットでPEDTを選択塗布して、正孔輸送層55を得て、さらに発光材料を選択塗布して、発光層56を得る。低仕事関数金属のマスク蒸着などで、陰極57を得る。

【0022】

図6は、本発明の第1の実施例における素子チップの剥離転写方法の工程図である。ここでは、接着剤は異方導電性ペーストである。素子チップの剥離転写方法について、背景技術と第1の実施例の相違点は、次のとおりである。第2基板67上に、異方導電性ペースト6aを塗布するとき、素子チップ66よりも広幅に塗布する。第1基板61と第2基板67を圧着し、異方導電性ペースト6aのなかの導電粒子を圧潰し、素子チップ66の第1接続パッド64と、第2基板67の接続パッド69を、電氣的に接続する。異方導電性ペースト6aを使用しているので、対向する素子チップ66の第1接続パッド64と、第2基板67の接続パッド69は接続し、隣接する対向する素子チップ66の第1接続パッド64と、第2基板67の接続パッド69は接続しない。同時に、素子チップ66の周辺の異方導電性ペースト6aは、セパレーション6bのなかを入れてゆき、第1基板61あたりまで達する。素子チップ66をレーザー6cの照射で第2基板67上へ転写したのち、第2基板67と第3基板を貼合する。このとき、第2基板67と第3基板を圧着し、セパレーション6bのなかをあがっていった異方導電性ペースト6aを、素子チップ66の第3基板側の面にフローさせ、異方導電性ペースト6aのなかの導電粒子を圧潰し、素子チップ66の第2接続パッド65と、第3基板の陰極を、電氣的に接続する。

【0023】

図7は、本発明の第1の実施例における転写された素子チップの拡大図である。転写された素子チップについて、従来技術と第1の実施例の相違点は、次のとおりである。薄膜トランジスタ72をひとつ以上含む素子チップ71の第1接続パッド73と、配線76が形成された第2基板75の接続パッド77を、異方導電性ペースト7bで電氣的に接続している。また、薄膜トランジスタ72をひとつ以上含む素子チップ71の第2接続パッド74と、有機発光ダイオード79が形成された第3基板78の陰極7aを、素子チップ71の周辺で、異方導電性ペースト7bにより電氣的に接続している。

【0024】

本実施例では、素子チップ71の第2基板75側の面でアクティブ素子である薄膜トランジスタ75と配線76とを電氣的に接続し、素子チップ71の第3基板78側の面でアクティブ素子である薄膜トランジスタ75と電気光学素子である有機発光ダイオード79を電氣的に接続する。また、電氣的な接続を導電材料である異方導電性ペースト7bを介して行う。また、第2基板75と素子チップ71の間の、素子チップ71の周辺部に対応する位置に、導電材料である異方導電性ペースト7bを配置し、アクティブ素子である薄膜トランジスタ75と電気光学素子である有機発光ダイオード79を電氣的に接続する。

【0025】

なお、本実施例では、素子チップ71を第2基板75上へ転写したのち、第2基板75と第3基板78を貼合しているが、素子チップ71を第3基板78上へ転写したのち、第2基板75と第3基板78を貼合するときも、本発明の思想は有効である。また、2個の素子チップの第1接続パッド73と、対応する2個の第2基板の接続パッド77と、2個の素子チップの第2接続パッド74を図示しているが、いかなる個数のこれらであっても、本発明の思想は有効である。

【0026】

(第2の実施例)

図8は、本発明の第2の実施例におけるアクティブ素子と素子チップの製造方法の工程図である。アクティブ素子と素子チップの製造方法について、第1の実施例と第2の実施例の相違点は、次のとおりである。開孔81をセパレーション

8mと同時に形成する。開孔81は素子チップの孔であって、図8は、1個の素子チップを示している。

【0027】

図9は、本発明の第2の実施例における電気光学素子の製造方法の工程図である。電気光学素子の製造方法について、第1の実施例と第2の実施例の相違点は、次のとおりである。親液性バンク93と撥液性バンク94と陰極97から成る、第3基板91の接続パッド98を形成する。

【0028】

図10は、本発明の第2の実施例における素子チップの剥離転写方法の工程図である。素子チップの剥離転写方法について、第1の実施例と第2の実施例の相違点は、次のとおりである。素子チップa6の開孔abの異方導電性ペーストaaは、開孔abのなかを入れてゆき、第1基板a1あたりまで達する。素子チップa6をレーザーadの照射で第2基板a7上へ転写したのち、第2基板a7と第3基板を貼合する。このとき、第2基板a7と第3基板を圧着し、開孔abのなかをあがっていった異方導電性ペーストaaを、素子チップa6の第3基板側の面にフローさせ、異方導電性ペーストaaのなかの導電粒子を圧潰し、素子チップa6の第2接続パッドa5と、第3基板の接続パッドを、電氣的に接続する。

【0029】

図11は、本発明の第2の実施例における転写された素子チップの拡大図である。転写された素子チップについて、第1の実施例と第2の実施例の相違点は、次のとおりである。薄膜トランジスタb2をひとつ以上含む素子チップb1の第2接続パッドb4と、有機発光ダイオードb9が形成された第3基板b8の第3基板の接続パッドbaを、素子チップb1の開孔で、異方導電性ペーストbbにより電氣的に接続している。

【0030】

本実施例では、素子チップb1の第2基板b5側の面でアクティブ素子である薄膜トランジスタb5と配線b6とを電氣的に接続し、素子チップb1の第3基板b8側の面でアクティブ素子である薄膜トランジスタb5と電気光学素子である有機発光ダイオードb9を電氣的に接続する。また、電氣的な接続を導電材料である



異方導電性ペーストbbを介して行う。また、素子チップb1に開孔し、第2基板b5と素子チップb1の間の、この開孔部に対応する位置に導電材料である異方導電性ペーストbbを配置し、アクティブ素子である薄膜トランジスタb5と電気光学素子である有機発光ダイオードb9を電氣的に接続する。

【0031】

なお、本実施例では、素子チップb1を第2基板b5上へ転写したのち、第2基板b5と第3基板b8を貼合しているが、素子チップb1を第3基板b8上へ転写したのち、第2基板b5と第3基板b8を貼合するときも、本発明の思想は有効である。また、2個の素子チップの第1接続パッドb3と、対応する2個の第2基板の接続パッドb7と、1個の素子チップの第2接続パッドb4と、対応する1個の第3基板の接続パッドbaを図示しているが、いかなる個数のこれらであっても、本発明の思想は有効である。

【0032】

また、本発明は、アクティブマトリクス基板を用いた液晶電気光学装置に適用が可能である。上述の各実施例における本発明を適用したアクティブマトリクス基板は、従来品のアクティブマトリクス基板を用いて製造した電気光学装置と比べコスト低減および品質向上を図ることができる。もちろん、電気光学装置として液晶電気光学装置を例示したが、有機エレクトロルミネッセンス装置、電気泳動ディスプレイ装置などの他の電気光学装置に適用することも勿論可能である。

【0033】

そしてこれらの電気光学装置は、例えば携帯電話等の電子機器に搭載されるので、本発明においては、上記利点を享受された電子機器を提供することができる。

【図面の簡単な説明】

【図1】

背景技術におけるアクティブ素子と素子チップの製造方法の工程図。

【図2】

背景技術における素子チップの剥離転写方法の工程図。

【図3】

背景技術における転写された素子チップの拡大図。

【図 4】

本発明の第 1 の実施例におけるアクティブ素子と素子チップの製造方法の工程図。

【図 5】

本発明の第 1 の実施例における電気光学素子の製造方法の工程図。

【図 6】

本発明の第 1 の実施例における素子チップの剥離転写方法の工程図。

【図 7】

本発明の第 1 の実施例における転写された素子チップの拡大図。

【図 8】

本発明の第 2 の実施例におけるアクティブ素子と素子チップの製造方法の工程図。

【図 9】

本発明の第 2 の実施例における電気光学素子の製造方法の工程図。

【図 10】

本発明の第 2 の実施例における素子チップの剥離転写方法の工程図。

【図 11】

本発明の第 2 の実施例における転写された素子チップの拡大図。

【符号の説明】

- 11 第 1 基板
- 12 剥離層
- 13 下地絶縁膜
- 14 非晶質シリコン (a-Si)
- 15 レーザー結晶化
- 16 活性層
- 17 ゲート絶縁膜
- 18 ゲート電極
- 19 オンインプラやイオンドーピング

- 1 a レジストマスク
- 1 b ソース・ドレイン領域
- 1 c 第 1 層間絶縁膜
- 1 d 第 1 コンタクトホール
- 1 e ソース・ドレイン電極
- 1 f n型薄膜トランジスタ
- 1 g p型薄膜トランジスタ
- 1 h 第 2 層間絶縁膜
- 1 i 第 2 コンタクトホール
- 1 j 接続パッド
- 1 k セパレーション
- 2 1 第 1 基板
- 2 2 剥離層
- 2 3 薄膜トランジスタ
- 2 4 素子チップの接続パッド
- 2 5 素子チップ
- 2 6 第 2 基板
- 2 7 配線
- 2 8 第 2 基板の接続パッド
- 2 9 接着剤
- 2 a セパレーション
- 2 b レーザー
- 3 1 素子チップ
- 3 2 薄膜トランジスタ
- 3 3 素子チップの接続パッド
- 3 4 第 2 基板
- 3 5 配線
- 3 6 第 2 基板の接続パッド
- 3 7 接着剤

- 4 1 第 1 基板
- 4 2 剥離層
- 4 3 下地絶縁膜
- 4 4 非晶質シリコン (a-Si)
- 4 5 レーザー結晶化
- 4 6 活性層
- 4 7 ゲート絶縁膜
- 4 8 ゲート電極
- 4 9 オンインプラやイオンドーピング
- 4 a レジストマスク
- 4 b ソース・ドレイン領域
- 4 c 第 1 層間絶縁膜
- 4 d 第 1 コンタクトホール
- 4 e ソース・ドレイン電極
- 4 f n型薄膜トランジスタ
- 4 g p型薄膜トランジスタ
- 4 h 第 2 層間絶縁膜
- 4 i 第 2 コンタクトホール
- 4 j 第 1 接続パッド
- 4 k 第 2 接続パッド
- 4 l セパレーション
- 5 1 第 3 基板
- 5 2 陽極
- 5 3 親液性バンク
- 5 4 撥液性バンク
- 5 5 正孔輸送層
- 5 6 発光層
- 5 7 陰極
- 6 1 第 1 基板

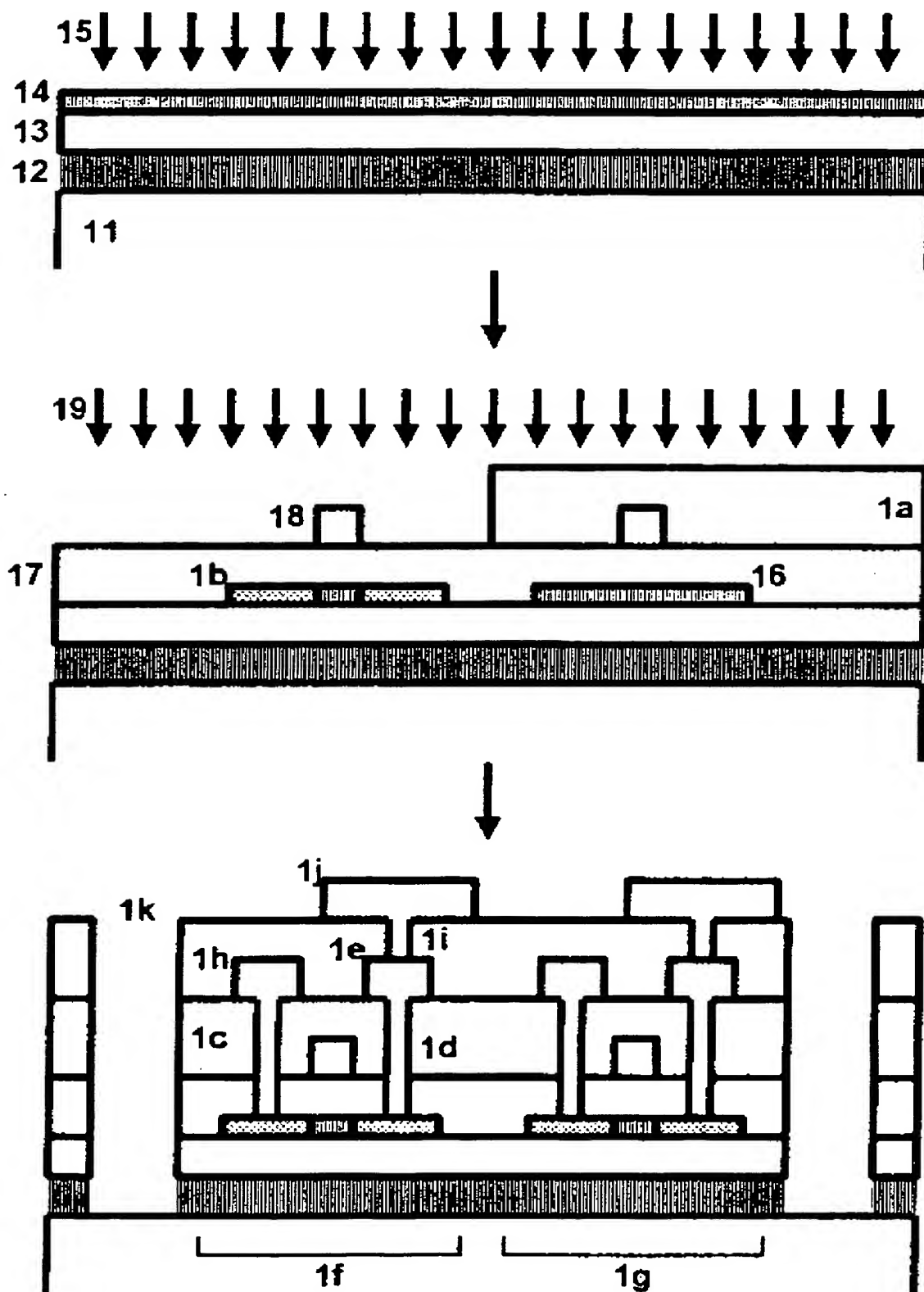
- 6 2 剥離層
- 6 3 薄膜トランジスタ
- 6 4 素子チップの第 1 接続パッド
- 6 5 素子チップの第 2 接続パッド
- 6 6 素子チップ
- 6 7 第 2 基板
- 6 8 配線
- 6 9 第 2 基板の接続パッド
- 6 a 異方導電性ペースト
- 6 b セパレーション
- 6 c レーザー
- 7 1 素子チップ
- 7 2 薄膜トランジスタ
- 7 3 素子チップの第 1 接続パッド
- 7 4 素子チップの第 2 接続パッド
- 7 5 第 2 基板
- 7 6 配線
- 7 7 第 2 基板の接続パッド
- 7 8 第 3 基板
- 7 9 有機発光ダイオード
- 7 a 陰極
- 7 b 異方導電性ペースト
- 8 1 第 1 基板
- 8 2 剥離層
- 8 3 下地絶縁膜
- 8 4 非晶質シリコン (a-Si)
- 8 5 レーザー結晶化
- 8 6 活性層
- 8 7 ゲート絶縁膜

- 8 8 ゲート電極
- 8 9 オンインプラヤイオンドーピング
- 8 a レジストマスク
- 8 b ソース・ドレイン領域
- 8 c 第1層間絶縁膜
- 8 d 第1コンタクトホール
- 8 e ソース・ドレイン電極
- 8 f n型薄膜トランジスタ
- 8 g p型薄膜トランジスタ
- 8 h 第2層間絶縁膜
- 8 i 第2コンタクトホール
- 8 j 第1接続パッド
- 8 k 第2接続パッド
- 8 l 開孔
- 8 m セパレーション
- 9 1 第3基板
- 9 2 陽極
- 9 3 親液性バンク
- 9 4 撥液性バンク
- 9 5 正孔輸送層
- 9 6 発光層
- 9 7 陰極
- 9 8 第3基板の接続パッド
- a 1 第1基板
- a 2 剥離層
- a 3 薄膜トランジスタ
- a 4 素子チップの第1接続パッド
- a 5 素子チップの第2接続パッド
- a 6 素子チップ

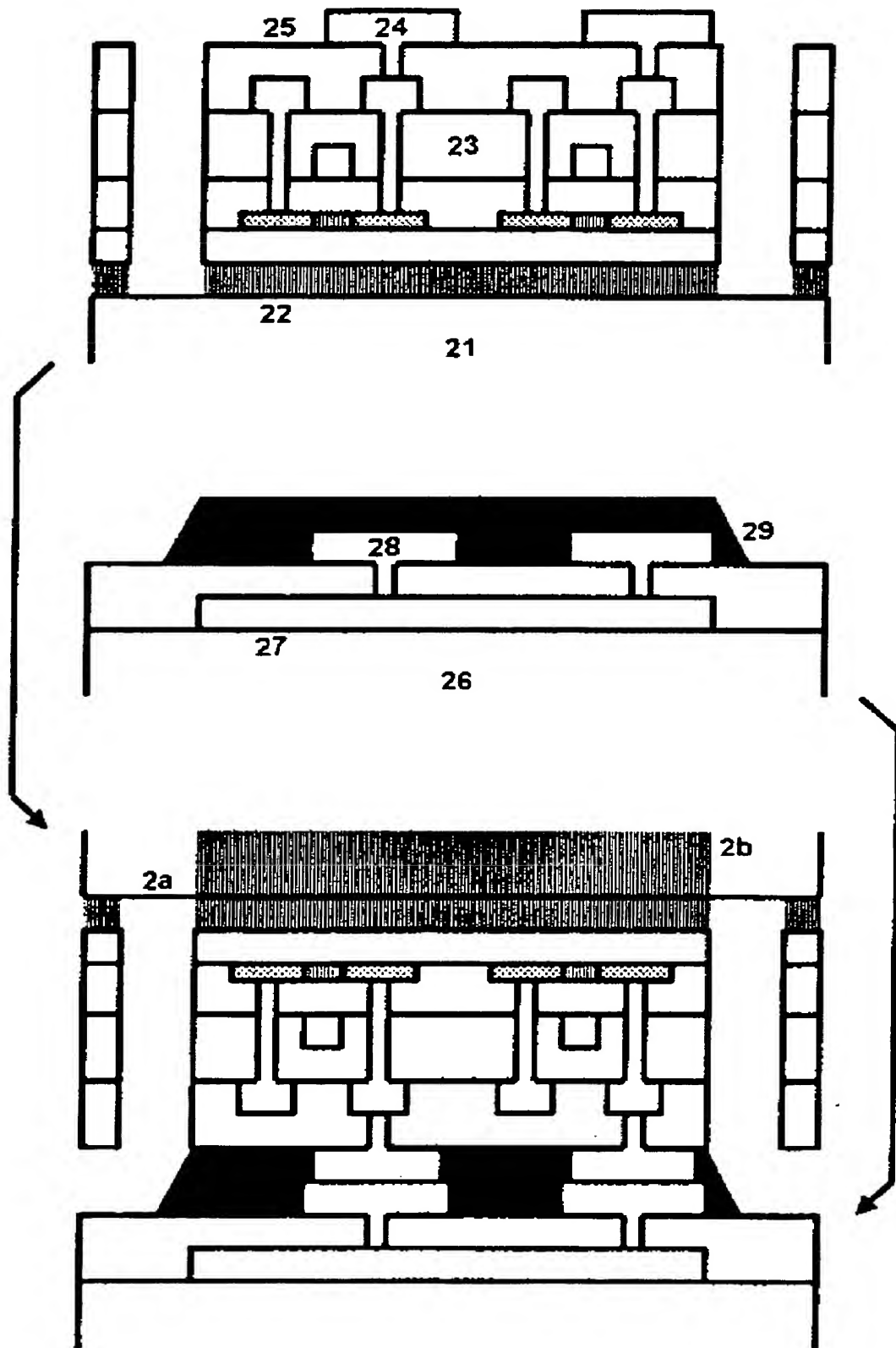
- a 7 第 2 基板
- a 8 配線
- a 9 第 2 基板の接続パッド
- a a 異方導電性ペースト
- a b 開孔
- a c セパレーション
- a d レーザー
- b 1 素子チップ
- b 2 薄膜トランジスタ
- b 3 素子チップの第 1 接続パッド
- b 4 素子チップの第 2 接続パッド
- b 5 第 2 基板
- b 6 配線
- b 7 第 2 基板の接続パッド
- b 8 第 3 基板
- b 9 有機発光ダイオード
- b a 第 3 基板の接続パッド
- b b 異方導電性ペースト

【書類名】 図面

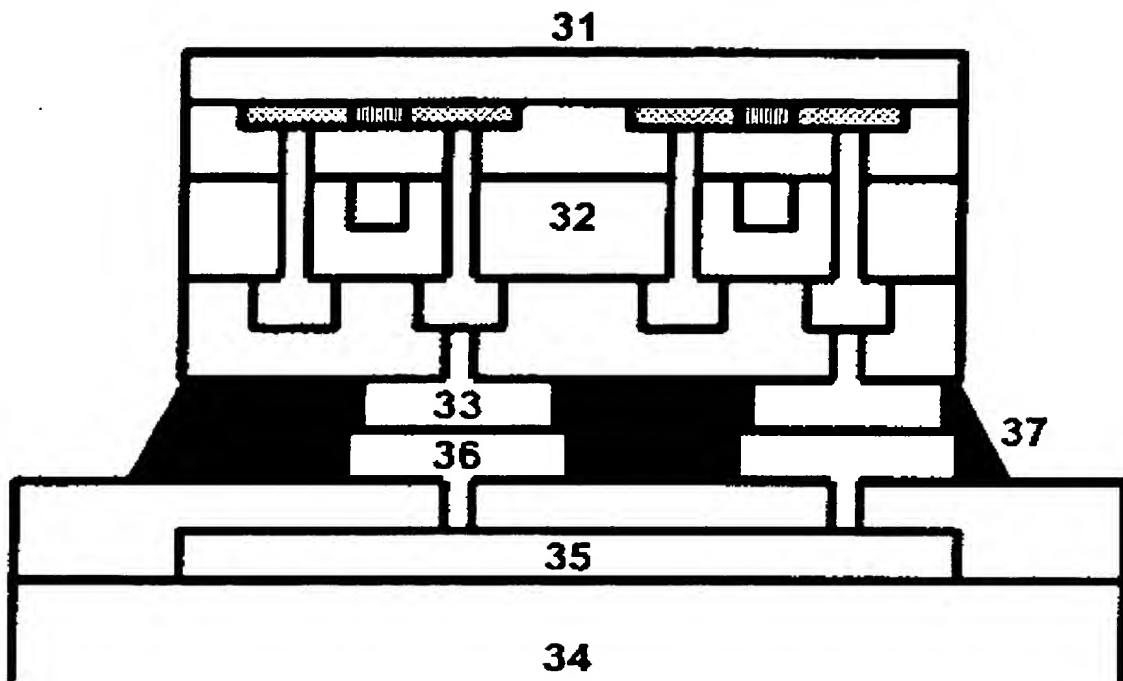
【図 1】



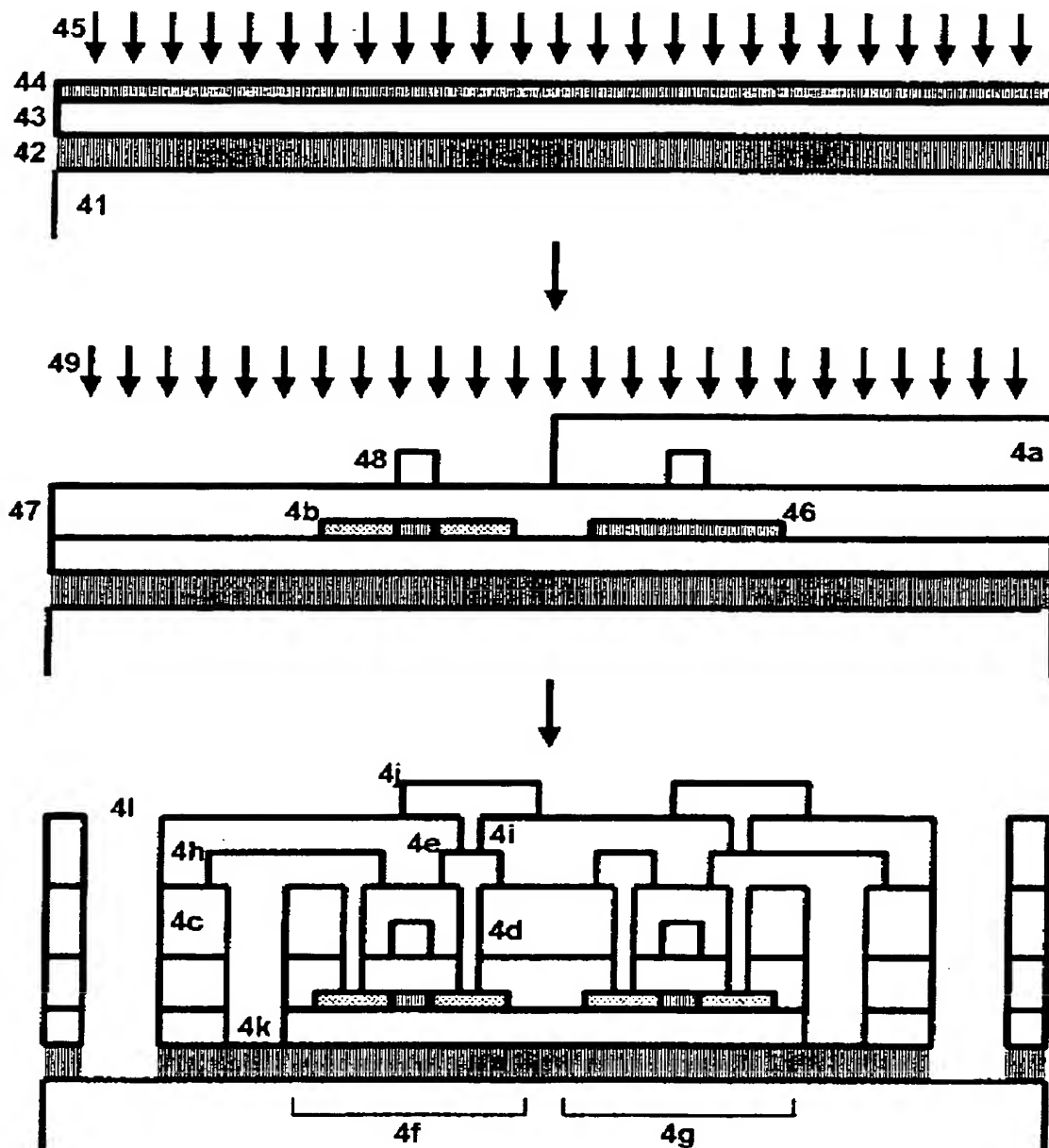
【図 2】



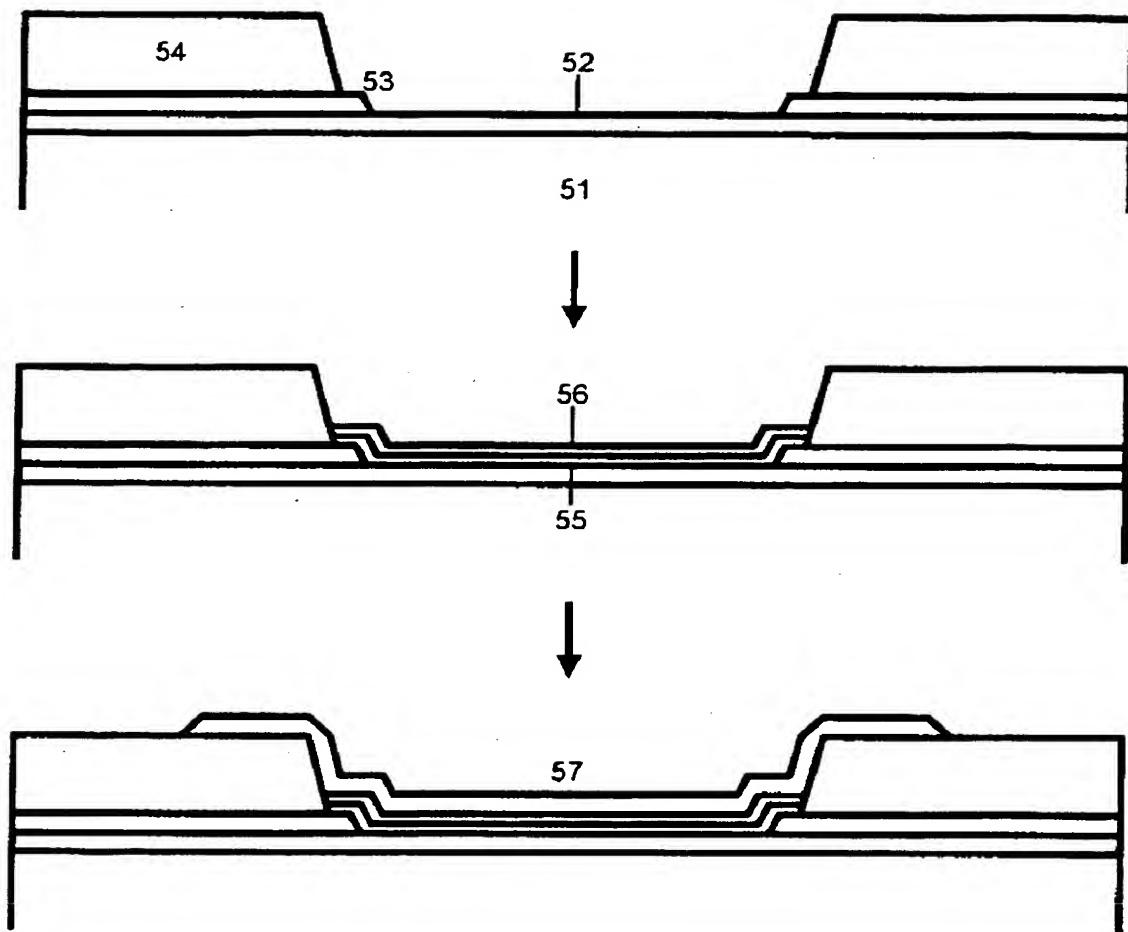
【図 3】



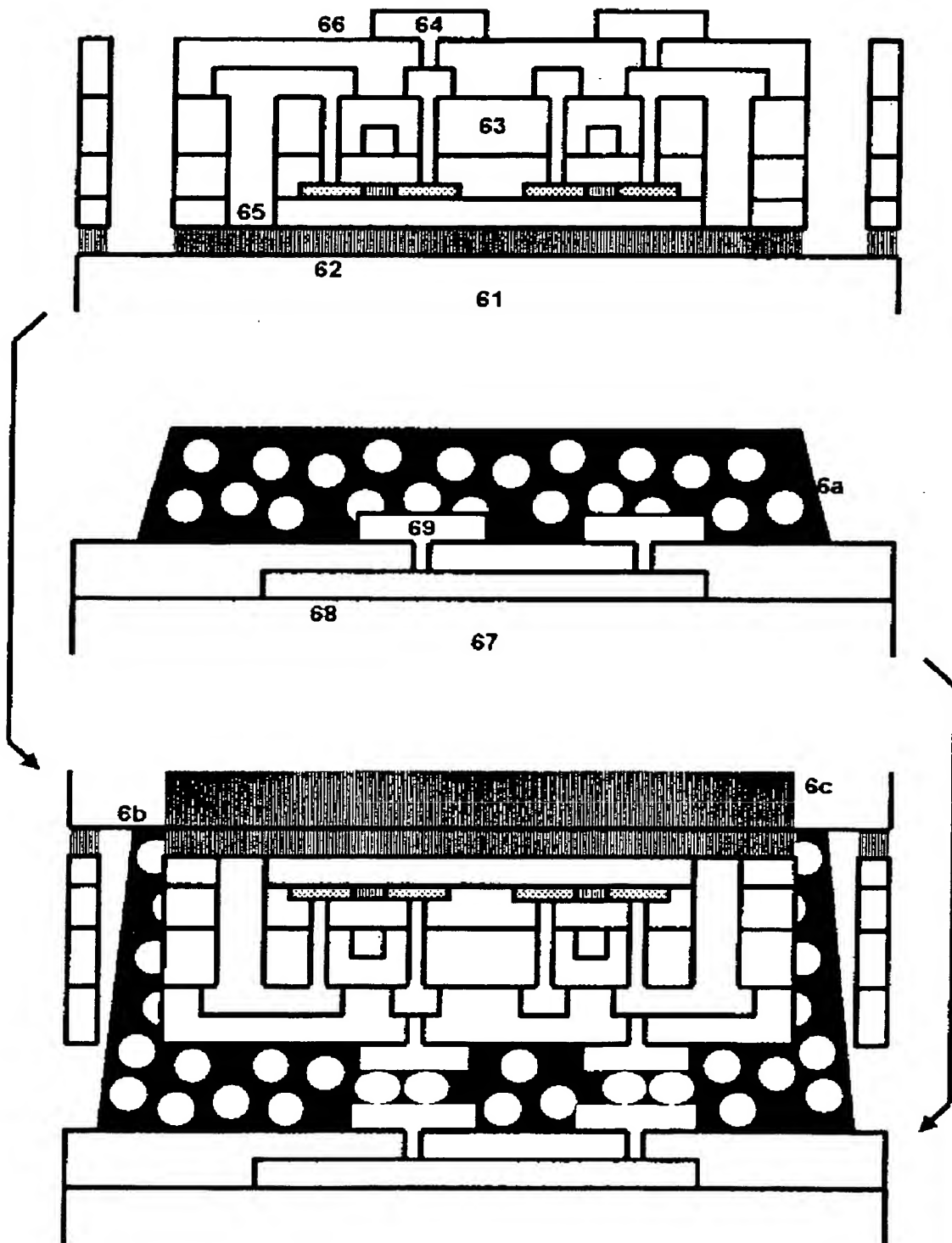
【図 4】



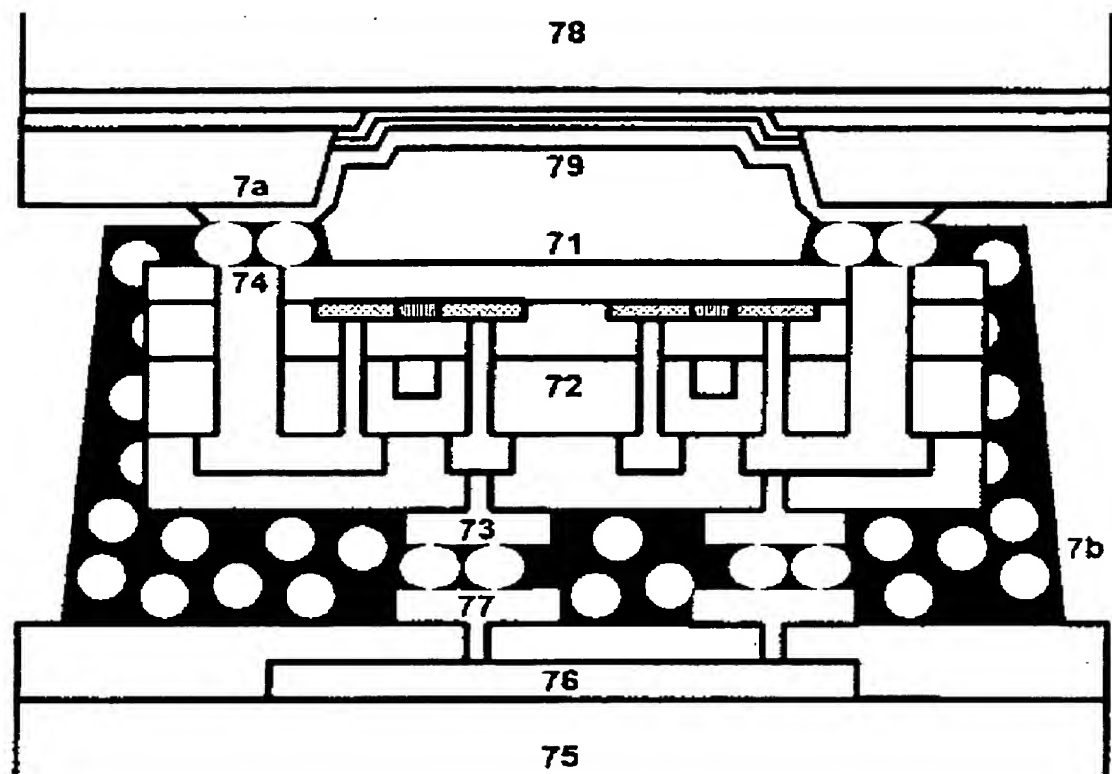
【図 5】



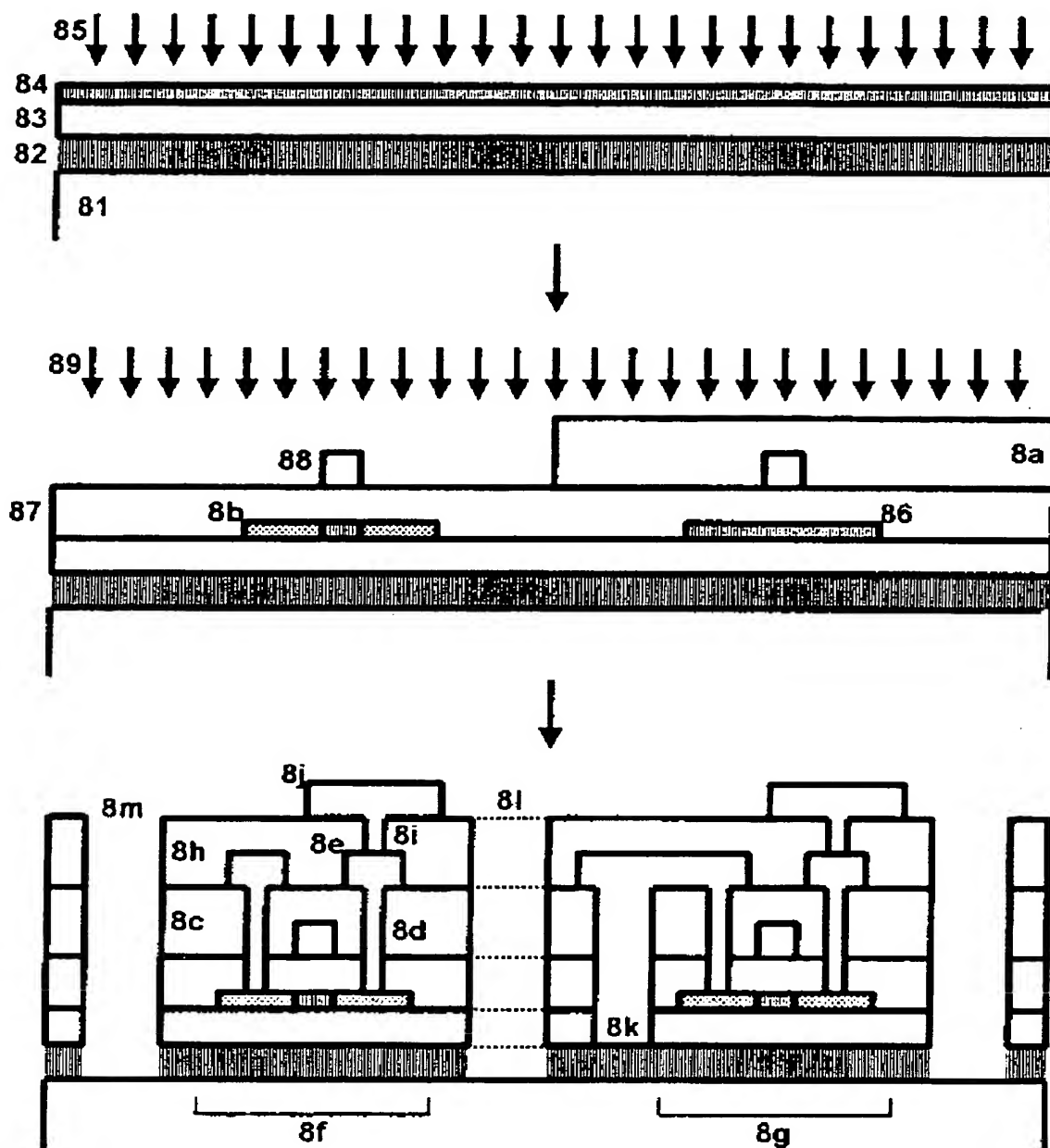
【図 6】



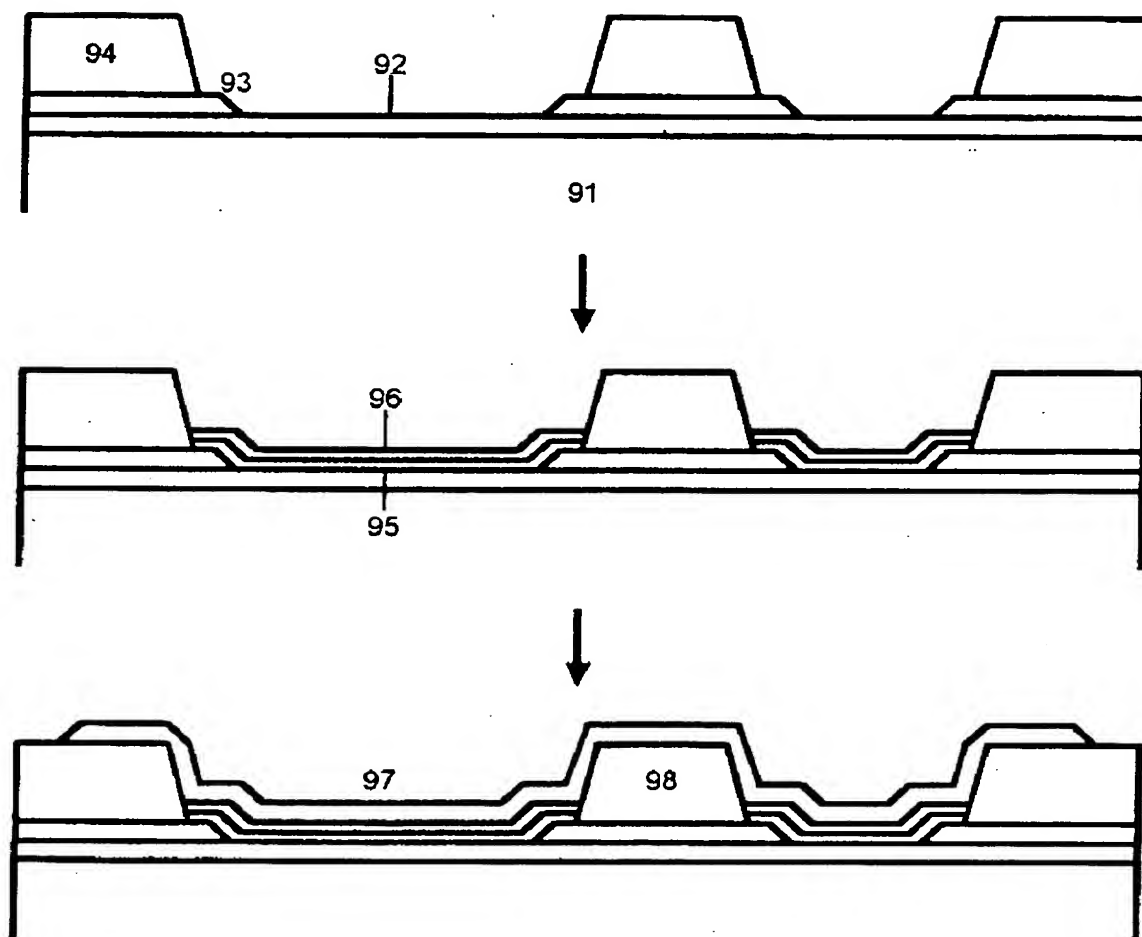
【図 7】



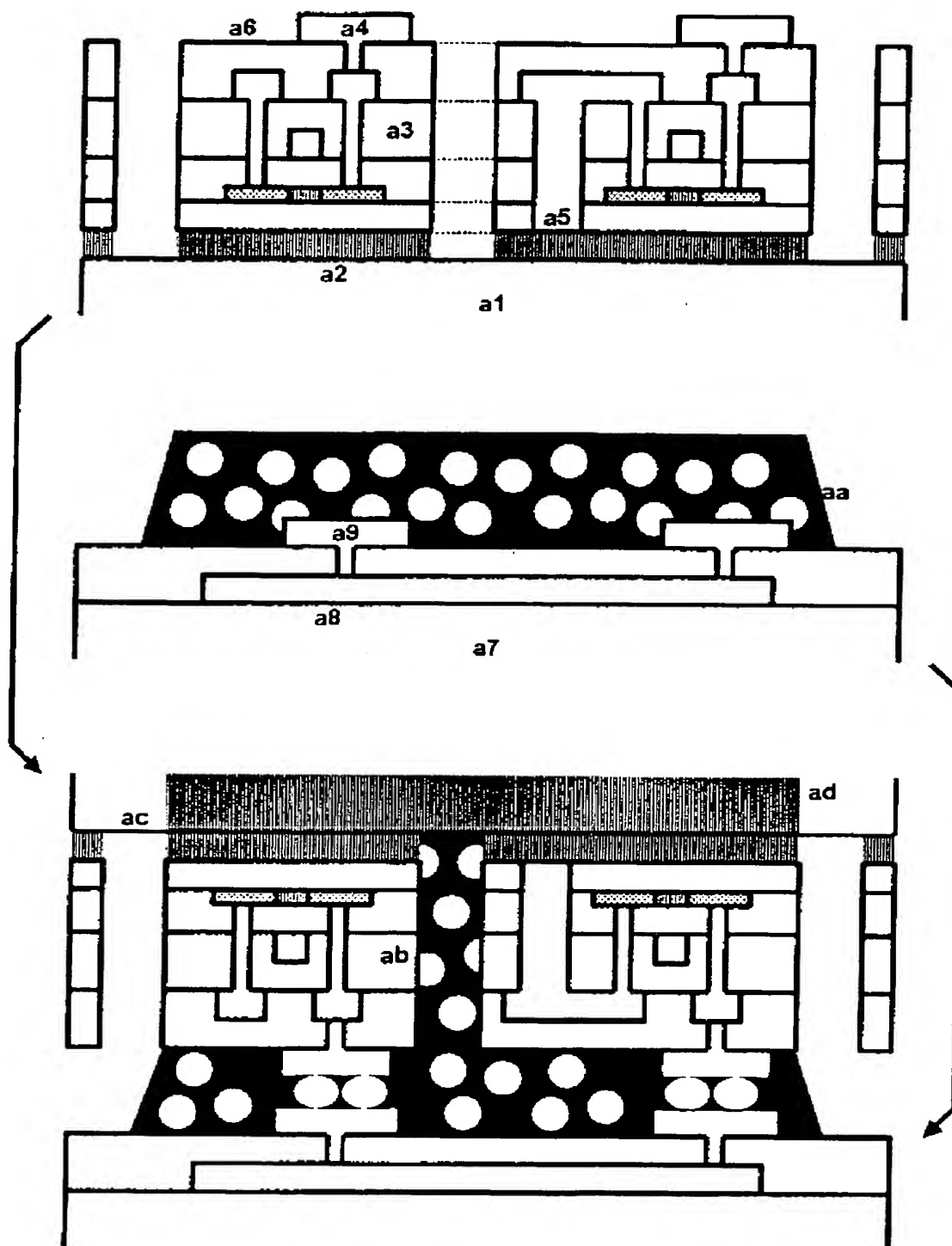
【図 8】



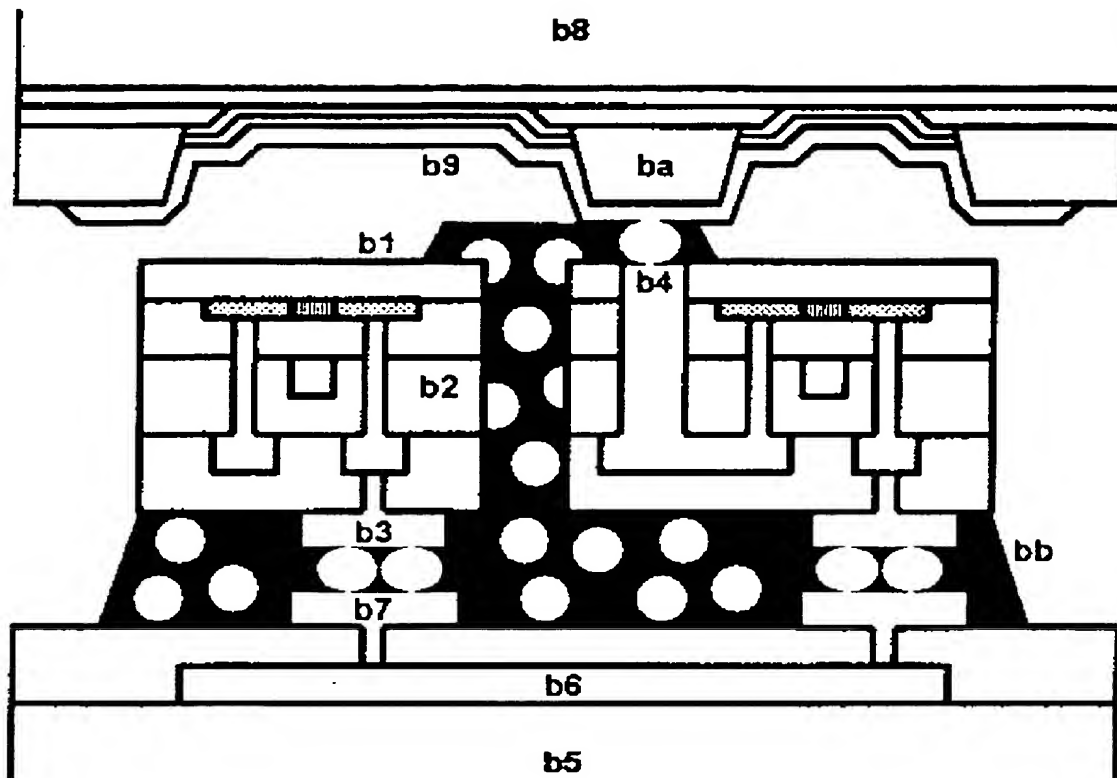
【図 9】



【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 本発明の目的は、第1基板上にアクティブ素子72を形成し、第2基板75上に配線76を形成し、第1基板上からアクティブ素子72をひとつ以上含む素子チップ71を剥離し、第2基板75へ転写し、第3基板78上に電気光学素子79を形成し、第2基板75と第3基板78とを貼合する、アクティブマトリクス型表示装置、また、アクティブ素子72が薄膜トランジスタ72である、薄膜トランジスタ型表示装置において、素子チップ71のアクティブ素子72と第2基板75の配線76とを電氣的に接続し、素子チップ71のアクティブ素子72と第3基板78の電気光学素子79を電氣的に接続する方法を提供することである。

【解決手段】 素子チップ71の第2基板側75の面でアクティブ素子72と配線76とを電氣的に接続し、素子チップ71の第3基板78側の面でアクティブ素子72と電気光学素子79を電氣的に接続する。電氣的な接続を導電材料7bを介して行う。第2基板75または第3基板78と素子チップ71の間の、素子チップ71の周辺部に対応する位置に、導電材料7bを配置し、アクティブ素子72と電気光学素子79を電氣的に接続する。素子チップ71に開孔し、第2基板75または第3基板78と素子チップ71の間の、この開孔部に対応する位置に導電材料7bを配置し、アクティブ素子72と電気光学素子79を電氣的に接続する。

【選択図】 図7

特願 2 0 0 3 - 0 1 9 1 2 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社